

(11)特許出願公開番号

特開平11-66890

(43)公開日 平成11年(1999)3月9日

V

審査請求 未請求 請求項の数13 O L (全 20 頁)

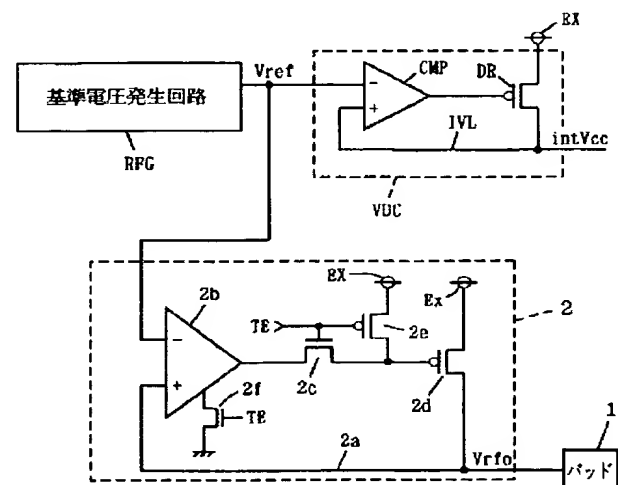
(74)代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 消費電流およびパッド数を増加させることなく所望の内部電圧に対するテストを正確かつ容易に行なう。

【解決手段】 基準電圧発生回路（RFG）からの基準電圧（Vref）を受ける駆動回路（2）は、高入力インピーダンス低出力インピーダンスを有し、受けた基準電圧と実質的に同じ電圧レベルの電圧を発生して基準電圧発生回路の駆動電流よりも大きな電流駆動力をもってパッド（1）へ生成した電圧を伝達する。



【特許請求の範囲】

【請求項 1】 所定電圧レベルの基準電圧を発生する少なくとも 1 つの基準電圧発生手段、

前記少なくとも 1 つの基準電圧発生手段からの基準電圧に対応する電圧と内部電源線上の電圧とを比較し、該比較結果に従って前記内部電源線上の電圧レベルを調整する内部電源電圧発生手段、

パッド、および前記少なくとも 1 つの基準電圧発生手段の出力と前記パッドとの間に設けられ、前記少なくとも 1 つの基準電圧発生手段の出力する基準電圧を受けて前記基準電圧と実質的に同じ電圧レベルの電圧を発生して前記パッドへ伝達する駆動手段を備える、半導体集積回路装置。

【請求項 2】 前記駆動手段は、テストモード指示信号に応答して前記電圧発生動作を活性化する方法を含む、請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記駆動手段に結合され、前記駆動手段を間欠的に活性化する方法をさらに備える、請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記駆動手段は、ボルテージフォロア構成の差動増幅回路を含む、請求項 1 から 3 のいずれかに記載の半導体集積回路装置。

【請求項 5】 前記少なくとも 1 つの基準電圧発生手段は複数の別々に設けられる基準電圧発生手段を含み、さらに、

前記複数の基準電圧発生手段の出力各々と前記駆動手段の入力との間に設けられ、選択信号に従って対応の基準電圧発生手段の出力を前記駆動手段の入力に電気的に接続する手段をさらに備える、請求項 1 から 4 のいずれかに記載の半導体集積回路装置。

【請求項 6】 前記駆動手段は、その出力電圧を前記基準電圧に対応する電圧として前記内部電源電圧発生手段へ伝達し、かつテストモード指示信号に応答して自身の電流駆動力を大きくする方法を含む、請求項 1 記載の半導体集積回路装置。

【請求項 7】 前記パッドと前記少なくとも 1 つの基準電圧発生手段の出力との間に設けられ、テストモード時導通状態とされかつ通常モード時非導通状態とされる接続手段をさらに備える、請求項 1 から 4 のいずれかに記載の半導体集積回路装置。

【請求項 8】 前記複数の基準電圧発生手段の出力各々と前記パッドとの間に設けられ、第 2 の選択信号に응答して前記パッドと対応の基準電圧発生手段の出力とを電気的に接続する複数の接続手段をさらに備える、請求項 5 記載の半導体集積回路装置。

【請求項 9】 前記駆動手段の出力と前記パッドとの間に設けられ、テスト動作時導通状態とされかつ通常モード時非導通状態とされる接続手段をさらに備える、請求項 1 から 6 のいずれかに記載の半導体集積回路装置。

【請求項 10】 前記接続手段はヒューズ素子を備え

る、請求項 7 または 9 に記載の半導体集積回路装置。

【請求項 11】 各々に所定の電圧レベルの内部電圧が伝達される複数の電圧伝達線、

パッド、および前記複数の電圧伝達線各々と前記パッドとの間に設けられ、選択信号に응答して該選択信号が指定する電圧伝達線と前記パッドとを電気的に接続する接続手段を備える、半導体集積回路装置。

【請求項 12】 各々に所定の電圧レベルの内部電圧が伝達される複数の電圧伝達線、

10 パッド、
前記複数の電圧伝達線各々と前記パッドとの間に設けられ、選択信号に응答して該選択信号が指定する電圧伝達線と第 1 の内部ノードとを電気的に接続する接続手段、および前記第 1 の内部ノードと前記パッドとの間に設けられ、前記接続手段により選択された電圧伝達線上の電圧を受けて該受けた電圧と実質的に同じレベルの電圧を生成して前記パッドへ伝達する駆動手段を備える、半導体集積回路装置。

【請求項 13】 前記選択信号はテストモード時活性状態とされて、前記複数の電圧伝達線のいずれかを指定する、請求項 11 または 12 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体集積回路装置に関し、特に、少なくとも内部電圧を外部でモニタするテストモードを有する半導体集積回路装置に関する。より特定的には、この発明は、基準電圧に従って内部電源電圧を発生する内部電源電圧発生回路を有する半導体集積回路装置に関し、より具体的には、この基準電圧を外部で観測可能または外部から変更可能とするための構成に関する。

【0002】

【従来の技術】今、半導体集積回路装置の一例として、半導体記憶装置を考える。このような半導体記憶装置は、その記憶容量が増大するにつれ、高密度高集積化が進み、その素子も微細化されてきている。このような微細化された MOS トランジスタ（絶縁ゲート型電界効果トランジスタ）などの素子の信頼性を確保するために動作電源電圧を低くする必要がある。また、このような動作電源電圧を低くすることにより、動作電源電圧の自重に比例する消費電力を低減することができる。しかしながら、外部のロジックおよびプロセッサなどは、半導体記憶装置ほど微細化が進んでおらず、またその高速動作性を保証するために、電源電圧は半導体記憶装置に合わせて低下させることができない。また、前世代の半導体記憶装置との互換性をも維持する必要がある。

【0003】このため、システム電源電圧などの外部から与えられる電源電圧を半導体記憶装置内部で降圧して、必要な電圧レベルの内部電源電圧を生成することが行なわれる。

【0004】図19は、従来の内部電源回路の構成の一例を示す図である。図19において、内部電源回路は、所定の電圧レベルの基準電圧 V_{ref} を発生する基準電圧発生回路RFGと、この基準電圧発生回路RFGからの基準電圧 V_{ref} と内部電源線IVL上の電圧とを比較し、その比較結果に従って外部電源ノードEXから内部電源線IVLへ電流を供給して、その内部電源線IVL上の電圧レベルを調整して、内部電源電圧 $intV_{cc}$ を発生する内部降圧回路VDCを含む。

【0005】この内部降圧回路VDCは、基準電圧 V_{ref} と内部電源線IVL上の内部電源電圧 $intV_{cc}$ を比較する比較器CMPと、この比較器CMPの出力信号に従って、外部電源ノードEXから内部電源線IVLへ電流を供給するpチャネルMOSトランジスタで構成されるドライブトランジスタDRを含む。比較器CMPは、その正入力に内部電源線IVL上の内部電源電圧 $intV_{cc}$ を受け、その負入力に基準電圧 V_{ref} を受ける。

【0006】この内部降圧回路VDCは、内部電源電圧 $intV_{cc}$ が基準電圧 V_{ref} よりも高い場合には、その出力信号をハイレベルとして、ドライブトランジスタDRを非導通状態として、外部電源ノードEXから内部電源線IVL上の電流の供給を停止する。一方、内部電源線IVL上の内部電源電圧 $intV_{cc}$ が基準電圧 V_{ref} よりも低い場合には、この比較器CMPは出力信号をローレベルとして、ドライブトランジスタDRのコンダクタンスを大きくし、この内部電源電圧 $intV_{cc}$ と基準電圧 V_{ref} の差に応じた電流をドライブトランジスタDRを介して外部電源ノードEXから内部電源線IVLへ供給する。したがって、この内部電源電圧 $intV_{cc}$ は、ほぼ基準電圧 V_{ref} の電圧レベルに保持される。

【0007】図20は、図19に示す基準電圧発生回路RFGの構成の一例を示す図であり、たとえば特開平7-37381号公報に示されている。

【0008】図20において、基準電圧発生回路RFGは、外部電源ノードEXとノードM1の間に接続されかつそのゲートに接地電圧を受けるpチャネルMOSトランジスタP1と、ノードM1と接地ノードの間に接続されかつそのゲートがノードM1に接続されるnチャネルMOSトランジスタN1と、外部電源ノードEXとノードM2の間に接続されかつそのゲートがノードM2に接続されるpチャネルMOSトランジスタP2と、ノードM2と接地ノードの間に接続されかつそのゲートがノードM1に接続されるnチャネルMOSトランジスタN2と、外部電源ノードEXとノードM4の間に接続されかつそのゲートがノードM2に接続されるpチャネルMOSトランジスタP3と、ノードM4とノードM3の間に接続されかつそのゲートがノードM3に接続されるpチャネルMOSトランジスタP4と、ノードM3と接地ノ

ードの間に接続されかつそのゲートがノードM1に接続されるnチャネルMOSトランジスタN3を含む。

【0009】pチャネルMOSトランジスタP2およびP3はカレントミラー回路を構成し、そのサイズ比(ゲート幅とゲート長の比)は1:1に設定される。一方、nチャネルMOSトランジスタN2およびN3は、nチャネルMOSトランジスタN1とカレントミラー回路を構成する。nチャネルMOSトランジスタN2のゲート幅とゲート長の比は、nチャネルMOSトランジスタN3のその1/2に設定される。

【0010】基準電圧発生回路RFGは、さらに、外部電源ノードEXとノードM3の間に接続されかつそのゲートがノードM3に接続されるpチャネルMOSトランジスタP5と、外部電源ノードEXとノードM5の間に接続されかつそのゲートがノードM4に接続されるpチャネルMOSトランジスタP6と、ノードM5と接地ノードの間に互いに直列に接続されるダイオード接続されたpチャネルMOSトランジスタP7、P8およびP9を含む。

【0011】pチャネルMOSトランジスタP5のしきい値電圧の絶対値は、pチャネルMOSトランジスタP4のしきい値電圧の絶対値よりも大きくされる。pチャネルMOSトランジスタP6のゲート幅とゲート長の比は、pチャネルMOSトランジスタP7～P9各々のゲート幅とゲート長の比と同じ値に設定される。次に、この図20に示す基準電圧発生回路RFGの動作について簡単に説明する。

【0012】pチャネルMOSトランジスタP1は、そのゲートが接地ノードに接続されており、電流源として作用し、基準電流を生成する。このpチャネルMOSトランジスタP1からの基準電流は、nチャネルMOSトランジスタN1へ与えられる。nチャネルMOSトランジスタN1およびN2は、カレントミラー回路を構成しており、両者のサイズは同じに設定されている。したがって、nチャネルMOSトランジスタN2には、nチャネルMOSトランジスタN1を流れる電流と同じ大きさの電流が流れる。このnチャネルMOSトランジスタN2へは、pチャネルMOSトランジスタP2から電流が供給され、このpチャネルMOSトランジスタP2を流れる電流のミラー電流がpチャネルMOSトランジスタP3を介して流れる。pチャネルMOSトランジスタP2およびP3は、そのサイズが同じであり、両者には同じ大きさの電流が流れる。このpチャネルMOSトランジスタP3からの電流 i が、pチャネルMOSトランジスタP4およびnチャネルMOSトランジスタN3を介して接地ノードへ流れる。

【0013】nチャネルMOSトランジスタN3は、そのゲート幅とゲート長の比が、nチャネルMOSトランジスタN2のその2倍に設定されており、したがってpチャネルMOSトランジスタP3およびP4を流れる

電流 i の2倍の大きさの電流 $2i$ を流す。pチャネルMOSトランジスタP5が、残りの電流 i をnチャネルMOSトランジスタN3へ供給する。pチャネルMOSトランジスタP5のしきい値電圧の絶対値はpチャネルMOSトランジスタP4のしきい値電圧の絶対値よりも大きく設定されている。今、pチャネルMOSトランジスタP4のしきい値電圧の絶対値を V_{thp4} と表わし、pチャネルMOSトランジスタP5のしきい値電圧の絶対値を V_{thp5} と表わす。

$$V(M4) = V(M3) + V_{thp4} \\ = \text{ext}V_{cc} - (V_{thp5} - V_{thp4})$$

このノードM4は、pチャネルMOSトランジスタP6のゲートに接続されている。したがって、このpチャネルMOSトランジスタP6は、ノードM4の一定電圧に従って定電流 i_r を供給する。pチャネルMOSトランジスタP7～P9は、pチャネルMOSトランジスタP6と同じサイズを備えている。したがって、これらのpチャネルMOSトランジスタP7～P9の各々は、pチャネルMOSトランジスタP6と同じゲートソース間電圧を生じさせる。すなわち、pチャネルMOSトランジスタP6のソースゲート間電圧は、 $V_{thp5} - V_{thp4}$ であり、pチャネルMOSトランジスタP7～P9の各々がこの電圧 $V_{thp5} - V_{thp4}$ の電圧降下を生じさせる。したがって、このノードM5からの基準電圧 V_{ref} は、次式で表わされる。

【0014】 $V_{ref} = 3(V_{thp5} - V_{thp4})$
この基準電圧 V_{ref} は、pチャネルMOSトランジスタP4およびP5のしきい値電圧の絶対値の差に基づいて決定され、外部電源電圧 $\text{ext}V_{cc}$ に依存しない一定電圧となる（ただし外部電源電圧 $\text{ext}V_{cc}$ が所定電圧レベル以上にあり、pチャネルMOSトランジスタP7～P9が導通状態にある場合）。内部電源電圧 $\text{int}V_{cc}$ は、この基準電圧 V_{ref} と実質的に同じ電圧レベルに設定される。したがって、内部回路の動作電源電圧として利用される内部電源電圧 $\text{int}V_{cc}$ の電圧レベルも、外部電源電圧 $\text{ext}V_{cc}$ の電圧レベルに依存しない一定の電圧レベルとなる。

【0015】

【発明が解決しようとする課題】この図20に示す基準電圧発生回路RFGは、消費電力を十分小さくするため、その基準電流 i_r の値が十分小さくされる。この図20に示す基準電圧発生回路RFGの構成の場合、pチャネルMOSトランジスタP6により供給される電流 i_r がpチャネルMOSトランジスタP7～P9へ流れることにより、pチャネルMOSトランジスタP7～P9に一定の電圧降下を生じさせ、一定電圧レベルの基準電圧 V_{ref} を生成する。したがって、この図20に示す基準電圧発生回路RFGは、外部負荷に対して電流供給能力はない。pチャネルMOSトランジスタP6からの供給電流 i_r が、外部負荷に流れ込んだ場合、pチャネルMOSトランジスタP7～P9を介して流れる電流値

* 対値を V_{thp5} と表わす。この状態においては、ノードM3の電圧 $V(M3)$ は、pチャネルMOSトランジスタP5がダイオードモードで動作しているため、次式で表わされる：

$$V(M3) = \text{ext}V_{cc} - V_{thp5}$$

一方、pチャネルMOSトランジスタP4もダイオードモードで動作しており、ノードM4の電圧 $V(M4)$ は次式で表わされる：

が変化し、基準電圧 V_{ref} の電圧レベルが変化する。したがって、このノードM5にノイズが生じた場合、このノードM5上のノイズは吸収されず（電流供給がされないため）、ノイズに極めて弱いという問題が生じる。

【0016】ノイズが吸収されない場合、基準電圧 V_{ref} の電圧レベルが変動し、応じて内部電源電圧 $\text{int}V_{cc}$ の電圧レベルが変動する。

【0017】この図20に示すような基準電圧発生回路RFGの構成において、ノードM5と接地ノードの間に抵抗素子を接続することも考えられる。この場合において基準電圧 V_{ref} は、基準電流 i_r と抵抗素子の抵抗値により決定される。この場合においても、消費電流を十分小さくするため、抵抗素子の抵抗値は極めて大きくされる。したがって、このような抵抗素子を基準電圧発生のために用いる構成においても、この電流供給力は極めて小さく、出力ノードにおけるノイズに対して弱いという欠点を有する。特に、このような基準電圧 V_{ref} を外部からテストモード時にモニタして、内部電源電圧 $\text{int}V_{cc}$ の電圧レベルのチューニングなどを行ったり、半導体記憶装置の評価（動作マージン）を測定するなどのテストが行なわれる。このような場合に以下のような問題が生じる。

【0018】図21は、基準電圧発生回路RFGが発生する基準電圧 V_{ref} の電圧レベルを外部でモニタするための配置を概略的に示す図である。図32において、この半導体記憶装置が形成される半導体チップCH上に、基準電圧発生回路RFGの近傍にパッドPDが配置される。このパッドPDは、配線SGを介して基準電圧発生回路RFGの出力ノードに接続される。このパッドPDは、テスト専用のパッドであり、パッケージ実装時にはリード端子には接続されない。この半導体チップCH上に形成されたパッドに対し、テストTUからテストプローブPBが接触される。このテストプローブPBにより、パッドPD上の電圧レベルをモニタする。

【0019】テストTUが、このテストプローブPBに電圧計を接続している場合、基準電圧発生回路RFGは、電流供給能力は有していないため、パッドPDからテストプローブPBを介してこのテストTU内の電圧計に至るまでの経路を十分に充電することができず、このテストTU内において基準電圧 V_{ref} の電圧レベルを

正確に測定することができない。

【0020】また、テストTUの構成において、テストプローブPBから電流をパッドPDに供給し、このテストプローブPBに電流が流れるか否かに従って基準電圧発生回路RFGから発生される基準電圧Vrefの電圧レベルを測定する方法もある。この場合、テストTUからテストプローブPBを介して電流がパッドPDおよび配線SGを介して基準電圧発生回路RFGの出力ノードへ伝達される。基準電圧発生回路RFGは、実質的にボルテージフォロア回路であり、その出力インピーダンスは小さく、このテストプローブPBから供給される電流が出力ノードから流れ込んで基準電圧Vrefの電圧レベルが変化し、正確な基準電圧Vrefのレベルを測定することができない。

【0021】さらに、このテスト時においては、半導体チップCHがウエハ上に形成された状態でテストが行なわれる。この場合、テストTUからのテストプローブPBがパッドPDに接続される。テスト時、テストカードと呼ばれる治具を用いて半導体チップCH上に形成されたパッドすべてに対してテストプローブが接触される。したがって、これらのテストプローブからのノイズがパッドPDに伝達され、基準電圧発生回路RFGの基準電圧Vrefの電圧レベルも変動させ、正確な電圧レベルの測定を行なうことができない。

【0022】図22は、半導体記憶装置の全体の構成を概略的に示す図である。図22において、この半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリセルアレイMAと、メモリセルアレイMAの各列に対応して設けられ、活性化時対応の列上に読出されたメモリセルのデータの検知、増幅およびラッチを行なう複数のセンスアンプ回路を含むセンスアンプ帯SABと、このメモリセルアレイMAへのアクセスを行なうための周辺回路PCと、センスアンプ帯SABに含まれるセンスアンプ回路を制御するセンスアンプ制御回路SACを含む。周辺回路PCは、行選択を行なうロウデコーダおよびデータの書込／読出を行なうための内部書込／読出回路を含んでもよい。また各種制御信号を発生する回路を含んでもよい。

【0023】この周辺回路PCに対して、周辺用内部電源回路IGPが設けられ、センスアンプ制御回路SACに対しセンスアンプ用内部電源回路IGSが設けられる。これらの周辺用内部電源回路IGPおよびセンスアンプ用内部電源回路IGSそれぞれに近接して、パッドPDPおよびPDSが配置される。周辺用内部電源回路IGPおよびセンスアンプ用内部電源回路IGSは、図19に示す基準電圧発生回路RFGおよび内部降圧回路VDCを含む。しかしながら、周辺回路PCを高速で動作させるため、この周辺用内部電源回路IGPが出力する内部電源電圧のレベルは少し高く設定される。

【0024】一方、メモリセルアレイMAにおけるメモ

リセルトランジスタの信頼性を保証するため、センスアンプ帯SABを駆動するセンスアンプ制御回路SACが駆動する内部電源電圧（センスアンプ電源電圧）は周辺回路PCに与えられるものよりも低く設定される。したがって、センスアンプ用内部電源回路IGSが出力する内部電源電圧は、周辺用内部電源回路IGPが出力する内部電源電圧よりも低い電圧レベルに設定される。メモリセルアレイMAにおいて、選択ワード線上には動作電源電圧よりも高い（通常1.5倍）の電圧が伝達されるため、この昇圧電圧印加時にメモリセルトランジスタ（MOSTランジスタ）のゲート絶縁膜が破壊されるのを防止するため、メモリセルアレイMA内に伝達される電圧レベルが低く設定される。

【0025】この図32に示すように、周辺用内部電源回路IGPおよびセンスアンプ用内部電源回路IGSそれぞれに対して基準電圧モニタのためのパッドPDPおよびPDSが配置される。これらのパッドPDPおよびPDSは、ウエハレベルでのテスト時のみ用いられ、パッケージ実装後は用いられない。したがって、この半導体記憶装置において、パッドPDPおよびPDSの占有面積が多くなり、チップ面積を低減することができなくなるといった問題が生じる。またこの必要なパッドの数が増加すれば、テスト時にテストプローブとパッドとの位置合わせが複雑となり、テスト作業能率が低下するという問題が生じる。

【0026】パッドの数が増加するという問題は、単に内部電源電圧発生のための基準電圧に対してのみならず、半導体記憶装置において発生される内部電圧、たとえばビット線プリチャージ電圧、セルプレート電圧、基板バイアス電圧、内部電源電圧およびワード線駆動電圧などの電圧レベルを外部でモニタする場合においても生じる。

【0027】また、この内部電圧を外部でモニタする問題は、半導体記憶装置に限定されず、ロジックなどの半導体集積回路装置においても生じる。

【0028】また、このパッドの問題は、外部から所望の内部電圧のレベルを所望の電圧レベルに設定して、内部回路の動作マージンなどを測定する「フォース」テストにおいても生じる。

【0029】それゆえ、この発明の目的は、容易に所望の内部電圧に対するテストを正確に行なうことのできる半導体集積回路装置を提供することである。

【0030】この発明の他の目的は、正確に内部電圧を外部でモニタすることができかつ外部から設定することのできる半導体集積回路装置を提供することである。

【0031】この発明のさらに他の目的は、複数の内部電圧のテストをチップ面積を増加させることなく容易に行なうことのできる半導体集積回路装置を提供することである。

【0032】この発明のさらに他の目的は、内部電源電

圧発生のために用いられる基準電圧に対するテストを容易かつ正確にチップ占有面積を増加させることなく行なうことのできる半導体集積回路装置を提供することである。

【0033】

【課題を解決するための手段】請求項1に係る発明は、少なくとも1個の基準電圧発生手段と、少なくとも1個の基準電圧発生手段が発生する基準電圧に対応する電圧と内部電源線上の電圧とを比較し、この比較結果に従って内部電源線上の電圧レベルを調整する内部電源電圧発生手段と、パッドと、少なくとも1つの基準電圧発生手段の出力とパッドとの間に設けられ、この少なくとも1つの基準電圧発生手段の出力する基準電圧を受けてこの受けた基準電圧と実質的に同じ電圧レベルの電圧を発生してパッドへ伝達する駆動手段とを備える。

【0034】請求項2に係る発明は、請求項1の駆動手段が、テストモード指示信号にตอบสนองして電圧発生動作を活性化する手段を含む。

【0035】請求項3に係る発明は、請求項1の装置が、さらに、駆動手段に結合され、この駆動手段を間欠的に活性化する手段を備える。

【0036】請求項4に係る発明は、請求項1から3のいずれかの駆動手段が、ボルテージフォロア構成の差動増幅回路を含む。

【0037】請求項5に係る発明は、請求項1から4のいずれかの装置において少なくとも1つの基準電圧発生手段は、複数の別々に設けられる基準電圧発生手段を含み、かつさらに、これら複数の基準電圧発生手段の出力各々と駆動手段の入力との間に設けられ、選択信号に従って対応の基準電圧発生手段の出力を駆動手段の入力へ電気的に接続する手段をさらに備える。

【0038】請求項6に係る発明は、請求項1の駆動手段が、その出力電圧を内部電源電圧発生手段へ基準電圧として伝達しかつテストモード指示信号にตอบสนองして自身の電流駆動力を大きくする手段を含む。

【0039】請求項7に係る発明は、請求項1から4のいずれかの装置が、さらに、パッドと少なくとも1つの基準電圧発生手段の出力との間に設けられ、テストモード時導通状態とされかつ通常モード時非導通状態とされる接続手段をさらに備える。

【0040】請求項8に係る発明は、請求項5の装置が、複数の基準電圧発生手段の出力各々とパッドとの間に設けられ、第2の選択信号にตอบสนองしてパッドと対応の基準電圧発生手段の出力とを電気的に接続する複数の接続手段を備える。

【0041】請求項9に係る発明は、請求項1から6のいずれかの装置がさらに、駆動手段の出力とパッドとの間に設けられ、テスト動作時導通状態とされかつ通常モード時非導通状態とされる接続手段を備える。

【0042】請求項10に係る発明は、請求項7または

9の装置における接続手段がヒューズ素子を備える。

【0043】請求項11に係る半導体集積回路装置は、各々に所定の電圧レベルの内部電圧が伝達される複数の電圧伝達線と、パッドと、複数の電圧伝達線各々とパッドとの間に設けられ、選択信号にตอบสนองしてこの選択信号が指定する電圧伝達線とパッドとを電気的に接続する接続手段を備える。

【0044】請求項12に係る発明は、各々に所定の電圧レベルの内部電圧が伝達される複数の電圧伝達線と、パッドと、複数の電圧伝達線各々と第1の内部ノードとの間に設けられ、選択信号にตอบสนองしてこの選択信号が指定する電圧伝達線とパッドとを電気的に接続する接続手段と、第1の内部ノードとパッドとの間に設けられ、この接続手段により選択された電圧伝達線上の電圧を受けて該受けた電圧と実質的に同じレベルの電圧を生成してパッドへ伝達する駆動手段を備える。

【0045】請求項13に係る発明は、この請求項11または12の装置の選択信号がテストモード時に活性状態とされて複数の電圧伝達線のいずれかを指定する。

【0046】電流供給力の極めて小さな基準電圧発生回路の出力とパッドの間に駆動手段を設けることにより、パッドのノイズが基準電圧発生回路に影響を及ぼすのを防止することができる。また、駆動手段によりパッドを駆動することにより、比較的大きな電流供給力をもってパッドを駆動することができ、外部で確実にこの基準電圧レベルをモニタすることができる。

【0047】また、複数の内部電圧伝達線に対し接続手段を設け、選択的にパッドに接続することにより、複数の内部電圧を1つのパッドを用いてテストすることができ、これにより、パッド数の増加を低減してチップ占有面積の増加を抑制しかつテストカードのテストプローブのパッドへの接触を容易に行なうことができ、テスト操作が簡略化される。

【0048】

【発明の実施の形態】

【実施の形態1】図1は、この発明の実施の形態1に従う半導体記憶装置の要部の構成を示す図である。図1において、内部電源回路は、従来と同様、基準電圧 V_{ref} を発生する基準電圧発生回路 RFG と、この基準電圧発生回路 RFG からの基準電圧 V_{ref} に従って内部電源線 IVL 上に内部電源電圧 $intV_{cc}$ を発生する内部降圧回路 VDC を含む。この内部降圧回路 VDC は、基準電圧 V_{ref} と内部電源線 IVL 上の内部電源電圧 $intV_{cc}$ を比較する比較器 CMP と、比較器 CMP の出力信号に従って外部電源ノード EX から内部電源線 IVL へ電流を供給するドライブトランジスタ DR を含む。

【0049】この基準電圧発生回路 RFG は、低消費電流化のため、その出力ノードへの電流供給力は極めて小さく、微弱な電流をその出力ノードから供給することが

できるだけである。比較器CMPは、差動増幅回路で構成されており、その入力インピーダンスは極めて高く、電圧駆動入力であり、基準電圧発生回路RFGからの基準電圧Vrefの電流供給力が極めて小さくても、その基準電圧発生回路RFGの出力に付随する負荷は小さく、安定に基準電圧Vrefを生成することができる。

【0050】この半導体記憶装置は、さらに、基準電圧発生回路RFGとパッド1の間に接続され、基準電圧発生回路RFGが出力する基準電圧Vrefと実質的に同じ電圧レベルの基準電圧Vrefを生成してパッド1に伝達する駆動回路2を含む。この駆動回路2は、テストモード指示信号TEの活性化時活性化され、比較的大きな電流駆動力をもって基準電圧Vrefに対応する電圧レベルの電圧Vrfを生成してパッド1に伝達する。パッド1は、パッケージ実装時他のリードフレームなどには接続されず、ウェハレベルでのテスト時においてテストからのテストプローブが接触される。

【0051】駆動回路2は、パッド1と電気的に接続される信号線2a上の電圧と基準電圧Vrefとを比較する差動増幅回路で構成される比較器2bと、テストモード指示信号TEの活性化時(Hレベル)導通し、この比較器(以下、差動増幅回路と称す)2bの出力信号を伝達するnチャネルMOSトランジスタで形成されるトランスファゲート2cと、このトランスファゲート2cから与えられる差動増幅回路2bの出力信号に従って外部電源ノードExから信号線2aに電流を供給するpチャネルMOSトランジスタで構成されるドライブトランジスタ2dと、テストモード指示信号TEの活性化時非導通状態となり、外部電源ノードExとドライブトランジスタ2dのゲートとを電気的に切離すpチャネルMOSトランジスタで構成されるトランスファゲート2eと、テストモード指示信号TEの活性化時導通して差動増幅回路2bを活性化するnチャネルMOSトランジスタで構成される電流源トランジスタ2fとを含む。

【0052】このパッド1の電圧Vrfをモニタするテストモード以外の動作モード時テストモード指示信号TEは非活性状態のLレベルに設定され、トランスファゲート2eは導通状態となる。この場合には、ドライブトランジスタ2dのゲート電位が外部電源ノードExに与えられる外部電源電圧レベルとなり、ドライブトランジスタ2dはオフ状態となる。

【0053】差動増幅回路2bは、その正入力に信号線2a上の電圧Vrfを受け、その負入力に基準電圧発生回路RFGからの基準電圧Vrefを受ける。テストモード時においては、電流源トランジスタ2fおよびトランスファゲート2cがオン状態、トランスファゲート2eがオフ状態にある。信号線2a上の電圧Vrfが基準電圧Vrefよりも高い場合には、この差動増幅回路2bの出力信号がハイレベルとなり、ドライブトランジスタ2dはオフ状態となる。一方、基準電圧Vref

が出力電圧Vrfよりも高い場合には、差動増幅回路2bの出力信号はローレベルとなり、ドライブトランジスタ2dのコンダクタンスが増加し、外部電源ノードExから信号線2aへ電流を供給し、出力電圧Vrfの電圧レベルを上昇させる。したがって、この信号線2aからパッド1上に伝達される出力電圧Vrfの電圧レベルは、実質的に、基準電圧発生回路RFGが出力する基準電圧Vrefの電圧レベルと同じである。

【0054】差動増幅回路2bは、その構成は後に説明するが、高入力インピーダンスを有しており、したがって基準電圧発生回路RFGとパッド1とは、電気的に切離されている。したがってパッド1にノイズが生じて、このノイズが駆動回路2で遮断され、基準電圧発生回路RFGの出力部へ伝達されるのを防止することができ、基準電圧発生回路RFGからは安定な電圧レベルの基準電圧Vrefが出力される。また、このドライブトランジスタ2dは比較的大きな電流供給力を有している(基準電圧発生回路RFGの電流供給力に比べて)。したがって、このパッド1にノイズが発生して出力電圧Vrfの電圧レベルが低下しても、差動増幅回路2bおよびドライブトランジスタ2dのフィードバックループによりこのノイズが補償され、出力電圧Vrfの電圧レベルは所定の電圧レベル(Vrefレベル)に復帰する。したがってパッド1にテストプローブが与えられても、この駆動回路2は、比較的大きな電流駆動力をもってテストプローブを介してテスト内に設けられた電圧測定器へその出力電圧Vrfを伝達して、その電圧測定器において正確に出力電圧Vrfの電圧レベルを測定させることができる。またこのとき、仮にテストプローブからノイズが発生し、その出力電圧Vrfの電圧レベルが変動しても、差動増幅回路2bおよびドライブトランジスタ2dのフィードバックループにより吸収され、その出力電圧Vrfの電圧レベルを一定の電圧レベルに保持することができ、正確なテストを行なうことが可能となる。

【0055】このパッド1の出力電圧Vrfの電圧レベルは、基準電圧発生回路RFGが発生する基準電圧Vrefの電圧レベルと実質的に同じである。したがって、この出力電圧Vrfの電圧レベルを外部でモニタすることにより、基準電圧発生回路RFGが正確に所定の電圧レベルの基準電圧Vrefを発生しているか否かを識別することができる。この識別結果に従って、基準電圧発生回路RFGにおいて、所定の電圧レベルの基準電圧Vrefを設定するように、トリミング処理を行なって(通常ヒューズ素子によりこの出力電圧レベルは調整可能なようにされている)、所定の電圧レベルの基準電圧Vrefを生成することができる。

【0056】また、差動増幅回路2bの電流源トランジスタ2fはテストモード指示信号TEの活性化時のみ導通状態とされて、この差動増幅回路2bの電流経路を形

成しており、差動増幅回路2bの差動増幅動作を活性化している。したがって、このテストモード時（パッド1において出力電圧V_{rfo}の電圧レベルをモニタするモード）においてのみ、この駆動回路2が動作して電流を消費している（ドライブトランジスタ2dは、テストモード指示信号TEが非活性状態のときオフ状態にある）。したがって、通常動作モード時（パッド1上の出力電圧V_{rfo}の電圧レベルをモニタするモード以外のモード）においては、この駆動回路2は非活性状態であり、電流を消費せず、応じて半導体記憶装置において不

【0057】〔差動増幅回路の構成〕図2は、図1に示す差動増幅回路2bの構成の一例を示す図である。図2において、差動増幅回路2bは、基準電圧V_{ref}をゲートに受けるnチャネルMOSトランジスタ2baと、出力電圧V_{rfo}をゲートに受けるnチャネルMOSトランジスタ2bbと、外部電源ノードEXからnチャネルMOSトランジスタ2bbへ電流を供給するpチャネルMOSトランジスタ2bcと、外部電源ノードEXからnチャネルMOSトランジスタ2baへ電流を供給するpチャネルMOSトランジスタ2bdを含む。pチャネルMOSトランジスタ2bcのゲートは、そのドレインノードM10に接続される。したがって、pチャネルMOSトランジスタ2bcおよび2bdは、カレントミラー回路を構成し、これらのpチャネルMOSトランジスタ2bcおよび2bdには同じ大きさの電流が流れる。nチャネルMOSトランジスタ2baおよび2bbのソースノードは共通に、電流源トランジスタ2fのドレインに接続される。

【0058】基準電圧V_{ref}が出力電圧V_{rfo}よりも高い場合には、nチャネルMOSトランジスタ2baのコンダクタンスがnチャネルMOSトランジスタ2bbのコンダクタンスよりも高くなり、nチャネルMOSトランジスタ2baに流れる電流がnチャネルMOSトランジスタ2bbを流れる電流よりも多くなる。nチャネルMOSトランジスタ2bbへは、pチャネルMOSトランジスタ2bcが電流を供給し、このpチャネルMOSトランジスタ2bcを流れる電流と同じ大きさの電流がpチャネルMOSトランジスタ2bdを介してnチャネルMOSトランジスタ2baへ供給される。したがって、nチャネルMOSトランジスタ2baが、pチャネルMOSトランジスタ2bdから供給される電流をすべて放電し、このノードM11からの出力信号OUTの電圧レベルを低下させる。

【0059】逆に、基準電圧V_{ref}が出力電圧V_{rfo}よりも低い場合には、MOSトランジスタ2bbを流れる電流量が増加し、nチャネルMOSトランジスタ2baは、pチャネルMOSトランジスタ2bdからの供給電流をすべて放電することができず、出力ノードM11からの信号OUTの電圧レベルが上昇する。このノード

DM11は、図1に示すトランスファゲート2cの一方導通ノードに電氣的に接続される。

【0060】図2に示すように、差動増幅回路2bは、基準電圧V_{ref}および出力電圧V_{rfo}をMOSトランジスタのゲートに受けており、これらは、電氣的に切離されている（MOSトランジスタ2baおよび2bbのゲート絶縁膜による）。この出力電圧V_{rfo}におけるノイズが基準電圧V_{ref}に影響を及ぼすのを防止することができ、確実に基準電圧発生回路RFGは安定に所定の電圧レベルの基準電圧V_{ref}を生成することができ、また一方、駆動回路2は、ドライブトランジスタ2dの比較的大きな電流駆動力により、出力電圧V_{rfo}を生成することができる。

【0061】〔実施の形態2〕図3は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。この図3に示す半導体記憶装置は、以下の点で図1に示す構成と異なっている。すなわち、基準電圧発生回路RFGの出力とパッド1の間に設けられる駆動回路2が、ボルテージフォロア構成の差動増幅回路を備える。すなわち、駆動回路2は、出力とその負入力とが相互接続されかつ正入力に基準電圧発生回路RFGからの基準電圧V_{ref}を受ける差動増幅回路2gと、テストモード指示信号TEの活性化時導通し、この差動増幅回路2gに電流経路を経由して差動増幅回路2gを活性化する電流源トランジスタ2hを含む。差動増幅回路2gの出力する電圧V_{rfo}がパッド1に伝達される。

【0062】この出力と負入力とが相互接続された差動増幅回路は、そのオープンループ利得Aは極めて大きく設定される。この場合、入力される基準電圧V_{ref}と出力電圧V_{rfo}の関係は次式で表わされる。

【0063】 $V_{rfo}/V_{ref} = A/(1+A) \sim 1$ したがって、この出力電圧V_{rfo}は入力される基準電圧V_{ref}と実質的にその電圧レベルが等しくなる。このボルテージフォロア型差動増幅回路において、実効オープンインピーダンス $\Delta V/\Delta I$ は、 $A \cdot Z$ に等しく、極めて大きい。ここで、Zは、負入力または正入力端子の対地インピーダンスである。また、出力インピーダンスは極めて小さい。したがって、基準電圧発生回路RFGの電流供給量が極めて小さい場合においても、このボルテージフォロア構成の差動増幅回路2gにより、大きな電流供給力をもって出力電圧V_{rfo}が生成され、外部で、正確かつ容易にこの出力電圧V_{rfo}を通して基準電圧V_{ref}の電圧レベルをモニタすることができる。図4は、図3に示す差動増幅回路2gの構成を示す図である。図4において、差動増幅回路2gは、基準電圧V_{ref}と出力電圧V_{rfo}を比較するための差動増幅段を構成するnチャネルMOSトランジスタ2gaおよび2gbと、これらのMOSトランジスタ2gbおよび2gaへ電流を供給するカレントミラー段を構成するpチャネルMOSトランジスタ2gcおよび2gdを含

む。MOSトランジスタ2 g aおよび2 g bのソースは、共通に電流源トランジスタ2 hのドレインに接続される。MOSトランジスタ2 g aのドレインおよびゲートが出力ノードM13に相互接続される。MOSトランジスタ2 g cは、そのゲートおよびドレインがノードM12に相互接続されてカレントミラー段のマスタとして作用する。

【0064】テストモード指示信号T Eが非活性状態のLレベルのときには、電流源トランジスタ2 hがオフ状態であり、この差動増幅回路2 gには、外部電源ノードE Xから接地ノードの間に電流が流れる経路は存在せず、この出力ノードM13の電圧レベルは外部電源電圧レベルとなる。

【0065】テストモード指示信号T Eが活性化されると、電流源トランジスタ2 hがオン状態となり、差動増幅回路2 gが差動増幅動作を行なう。基準電圧V r e fが出力電圧V r f oよりも高い場合には、MOSトランジスタ2 g bに大きな電流が流れ、そのミラー電流がMOSトランジスタ2 g dを介してMOSトランジスタ2 g aへ供給される。これにより、ノードM13の電圧レベルが上昇し、応じて出力電圧V r f oの電圧レベルが上昇する。この電圧レベルの上昇に応じてMOSトランジスタ2 g aのコンダクタンスが大きくなり、ノードM13の電圧レベルの上昇を抑制する。

【0066】一方、出力電圧V r f oが基準電圧V r e fよりも高い場合には、MOSトランジスタ2 g aが大きな電流を供給し、ノードM13の電圧レベルを低下させる。これにより、出力電圧V r f oの電圧レベルが低下し、MOSトランジスタ2 g aのコンダクタンスが小さくなり、ノードM13の電圧レベルの低下を抑制する。したがって、基準電圧V r e fと出力電圧V r f oの電圧レベルが等しくなる。また、このノードM13にノイズが発生した場合においても、このノードM13上のノイズにより、MOSトランジスタ2 g aのコンダクタンスが変化し、ノードM13上のノイズを打消す方向にMOSトランジスタ2 g aを流れる電流が変化し、ノイズが吸収される。

【0067】以上のように、この発明の実施の形態2に従えば、基準電圧発生回路の出力電圧をボルテージフォロア構成の差動増幅回路を介してパッドへ伝達するように構成しているため、基準電圧発生回路とパッドとが電氣的に切離される構成と等価となり、パッドのノイズが基準電圧発生回路の出力電圧に影響を及ぼすのを防止することができ、正確にこの差動増幅回路の出力電圧の測定を通して基準電圧発生回路の出力する基準電圧の電圧レベルを測定することができる。また、1つのボルテージフォロア構成の差動増幅回路が用いられるだけであり、回路構成要素数を低減することができ、回路占有面積を低減することができる。またボルテージフォロア構成の差動増幅回路を用いているため、基準電圧発生回路

の電流供給力が微弱であっても、差動増幅回路のインピーダンス変換機能および供給電流量変換機能により、比較的大きな電流供給力をもってパッドを駆動することができ、外部で正確に、このパッド上の電圧レベルを測定することができる。

【0068】[テストモード設定回路]図5(A)は、テストモード指示信号を発生する部分の構成を概略的に示す図である。図5において、テストモード設定回路3は、外部からの制御信号、すなわちロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEおよび特定のアドレス信号ビットA d dを受けて、これらの信号が所定の状態の組合せに設定されたときにテストモード指示信号T Eの活性/非活性化を行なう。このテストモード設定回路3の動作を以下、図5(B)を参照して説明する。

【0069】テストモードにおいては、テストモードに入るためのテストモードセットサイクルが行なわれてテストモードが設定された後に、実際のテスト、すなわち基準電圧V r e fの外部でのモニタが行なわれる。このテストモードセットサイクルにおいては、ロウアドレスストロブ信号/RASが立上がる前に、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがLレベルに設定されかつアドレス信号ビットA d dが特定の状態に設定される。この条件は、「WCB R+アドレスキー」条件として知られており、ロウアドレスストロブ信号/RASの立下がりに応じてテストモード指示信号T Eが活性状態となる。このテストモードがセットされた後に、実際にテストが行なわれる。

【0070】テストを終了する場合には、テストモードリセットサイクルが行なわれる。このテストモードリセットサイクルにおいては、コラムアドレスストロブ信号/CASを、ロウアドレスストロブ信号/RASの立下がりよりも早いタイミングでLレベルに立下げる。ライトイネーブル信号/WEは、Hレベルを維持する。この条件は「CB R条件」として知られており、このCB R条件が満たされると、ロウアドレスストロブ信号/RASの立下がりに応じてテストモード指示信号T Eが非活性状態となる。これらのWCB R+アドレスキー条件およびCB R条件を検出する回路は、メモリ分野においてよく知られており、それらの回路を利用することができる。また、このテストモード設定のためには、特定のピン端子を、通常与えられる電圧レベルよりもさらに高い電圧レベルに設定する「スーパーV c c条件」が組合せて用いられてもよい。

【0071】[実施の形態3]図6は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図6においては、基準電圧発生回路の出力部とパッド1の間に設けられる駆動回路2の構成を示す。図6において、駆動回路2は、図示しない基準電圧発生回路からの基準電圧V r e fとパッド1に電氣的に

接続される信号線2 a上の電圧を差動増幅する差動増幅回路2 iと、この差動増幅回路2 iの出力信号に従って外部電源ノードEXから信号線2 aへ電流を供給するpチャネルMOSトランジスタで構成されるドライブトランジスタ2 kと、発振器4からの発振信号OSCに従って間欠的にオン状態となり、差動増幅回路2 iを活性化する電流源トランジスタ2 jと、ドライブトランジスタ2 kのゲート電位を安定化する容量2 lを含む。

【0072】この発振器4は、たとえば奇数段のインバータで構成されるリングオシレータからなり、その電流駆動力は十分小さくされており、差動増幅回路2 iが常時活性状態にある場合に消費する電流よりもその消費電流は十分小さくされる。この発振器4からの発振信号OSCに従って電流源トランジスタ2 jが選択的にオン状態となり、差動増幅回路2 iを活性化する。差動増幅回路2 iの出力部には、安定化容量2 lが設けられており、この差動増幅回路2 iの非活性化時におけるドライブトランジスタ2 kのゲート電位を安定に保持する。パッド1は、パッケージ実装時、外部リード端子には接続されないため、この半導体記憶装置の実使用時には、駆動回路2が間欠的に動作しても何らその動作に悪影響は及ぼさない。

【0073】特に、この図6に示すように、発振器4を用いて間欠的に駆動回路2を活性化する場合、図5に示すようなテストモード設定回路3を用いてテストモードを設定する必要がなく、容易にテスト動作に入ることができる。また、この基準電圧Vrefをモニタするためのテストモードを設定するための専用のテストモード設定回路を設ける必要がない。発振器4は、その消費電流は十分小さくされており、したがって、その回路占有面積も十分小さくされており、テストモード設定回路を用いる構成に比べて、その占有面積を小さくすることができる。パッド1へは、ドライブトランジスタ2 kを介して基準電圧Vrefと実質的に同じレベルの電圧が伝達される。専用のテストモードを設定する必要がないため、他のテストモードが設定され、内部回路動作時にいて、この基準電圧Vrefがどのような影響を受けるかも同時にテストすることができ、複数のテストを同時に行なうことが可能となる。

【0074】以上のように、この発明の実施の形態3に従えば、基準電圧発生回路からの基準電圧と実質的に同じ大きさの電圧を比較的大きな電流駆動力をもって発生する駆動回路を間欠的に活性化しているため、専用のテストモード設定回路を用いる必要がなく、回路占有面積を低減しかつ容易に基準電圧に対するテストを行なうことができる。また、常時差動増幅回路を活性化する必要がなく、この差動増幅回路における消費電流をも低減することができる。

【0075】〔実施の形態4〕図7は、この発明の実施の形態4に従う半導体記憶装置の要部の構成を概略的に

示す図である。図7において、基準電圧発生回路RFGと内部降圧回路VDCの間に駆動回路2が設けられる。この駆動回路2は、基準電圧発生回路RFGからの基準電圧Vrefを受け、この基準電圧Vrefと実質的に同じ電圧レベルの電圧を生成して内部降圧回路VDCへ与えかつ信号線2 aを介してパッド1へもその出力電圧を伝達する。

【0076】駆動回路2は、ボルテージフォロア構成の差動増幅回路2 mと、一定の電圧Vnrをそのゲートに受け、差動増幅回路2 mの電流源として機能するnチャネルMOSトランジスタで構成される電流源トランジスタ2 nと、この電流源トランジスタ2 nと並列に設けられかつそのゲートにテストモード指示信号TEを受けるnチャネルMOSトランジスタで構成されるテスト用電流源トランジスタ2 oを含む。

【0077】テストモード指示信号TEの非活性状態の通常動作モード時においては、ボルテージフォロア構成の差動増幅回路2 mは、電流源トランジスタ2 nが駆動する電流によりその動作電流が決定される。この通常動作モード時（テストモード指示信号TEの非活性化時）においては、駆動回路2は、大きな電流供給力が必要とされないため、この電流源トランジスタ2 nの電流供給量は十分小さくされる（一定電圧Vnrの電圧レベルを低くするかまたは、この電流源トランジスタ2 nのゲート幅とゲート長の比を小さくする）。これにより、通常動作時における駆動回路2の消費電流が低減される。

【0078】一方、テストモード時においては、テストモード指示信号TEが活性状態とされ、テスト用電流源トランジスタ2 oがオン状態となる。したがって、この差動増幅回路2 mの動作電流は電流源トランジスタ2 nおよび2 oが供給する電流により決定され、テストモード時この差動増幅回路2 mの動作電流が増加する。したがって、大きな電流駆動力をもって出力電圧Vrfを生成してパッド1へ伝達することができる。これにより、パッド1を介して出力電圧Vrfの電圧レベルを測定し、応じて基準電圧Vrefの電圧レベルを測定することができる。パッド1が、駆動回路2の出力部に信号線2 aを介して接続されているものの、この信号線2 aは、基準電圧発生回路RFGと駆動回路2により電気的に分離されており、したがって、この信号線2 a上のノイズの基準電圧発生回路RFGが発生する基準電圧Vrefに対する悪影響は生じず、通常動作時に正確に内部降圧回路VDCからの基準電圧Vrefが規定する電圧レベルの内部電源電圧intVccを生成することができる。また、この駆動回路2は、ボルテージフォロア構成の差動増幅回路2 mを有しており、この差動増幅回路は基準電圧発生回路RFGよりも大きな電流供給力を有しているため、通常動作モード時においても、信号線2 aのノイズの影響を受けることなく安定に一定電圧レベルの基準電圧Vrefを内部降圧回路VDCへ伝達す

ることができる。

【0079】[変更例]図8は、この発明の実施の形態4の変更例1の構成を示す図である。この図8に示す構成においては、駆動回路2の出力部とパッド1とを接続する信号線2aにおいて、テストモード指示信号TEをそのゲートに受けるnチャネルMOSトランジスタで構成されるスイッチングトランジスタ2pが設けられる。他の構成は、図7に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0080】この図8に示す構成においては、テストモード指示信号TEの活性化時のみ、駆動回路2の出力部がパッド1に電氣的に接続される。通常動作モード時には、スイッチングトランジスタ2pはオフ状態となり、駆動回路2の出力部とパッド1とは電氣的に切離される。これにより、通常動作モード時パッド1にノイズが発生しても、このノイズの影響が駆動回路2の出力部へ伝達されるのを確実に防止することができ、内部降圧回路VDCに対し安定に一定の電圧レベルの基準電圧を伝達することができる。

【0081】[実施の形態5]図9は、この発明の実施の形態5に従う半導体記憶装置の要部の構成を概略的に示す図である。図9に示す構成においては、基準電圧発生回路RFGからの基準電圧Vrefをパッド1に伝達する駆動回路2の出力ノード4aとパッド1の間に、フォーステストイネーブル信号FTEおよび/FTEに応じて選択的に導通するトランスミッションゲート5aが設けられる。加えて、パッド1と基準電圧発生回路RFGの出力ノード4bの間に、フォーステストイネーブル信号FTEおよび/FTEの活性化時導通するCMOSトランスミッションゲート5bが設けられる。CMOSトランスミッションゲート5aおよび5bは互いに相補的に導通/非導通状態となる。フォーステストモードは、外部から内部電圧を強制的に所定の電圧レベルに設定することにより、内部回路の動作マージンなどをテストするモードである。フォーステストイネーブル信号FTEおよび/FTEの活性化時、CMOSトランスミッションゲート5bが導通し、パッド1は、基準電圧発生回路RFGの出力ノード4bに電氣的に接続される。これにより、パッド1から基準電圧Vrefを変更することができる。応じて、内部電源電圧intVccの電圧レベルを調整し、内部回路のこの内部電源電圧intVccに対する動作マージンを測定することができる(内部電源電圧が変動した場合、その動作速度(アクセス時間)が所定値(仕様値)を満たしているかおよび正確なデータの書込/読出が行なわれるか)を測定する。

【0082】フォーステストモード以外の動作モード時には、CMOSトランスミッションゲート5bがオフ状態にあり、CMOSトランスミッションゲート5aがオン状態となり、駆動回路2の出力ノード4aがパッド1に電氣的に接続される。したがって、この状態に

おいては、パッド1を介して駆動回路2が出力する電圧を外部でモニタすることができる。駆動回路2の構成としては図1、図3および図6のいずれの構成が用いられてもよい。

【0083】[変更例]図10は、この発明の実施の形態5の変更例の構成を示す図である。この図10に示す構成においては、駆動回路2の出力ノード4aとパッド1の間に、モニタテストイネーブル信号MTEおよび/MTEの活性化時導通するCMOSトランスミッションゲート5cが設けられる。他の構成は、図9に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0084】この図10に示す構成においては、基準電圧発生回路RFGからの基準電圧Vrefの電圧レベルを外部でモニタする場合には、駆動回路2の出力ノード4aがパッド1に電氣的に接続される。この状態においては、CMOSトランスミッションゲート5bはオフ状態にある。一方、フォーステストモード時には、フォーステストイネーブル信号FTEおよび/FTEが活性状態となり、CMOSトランスミッションゲート5bがオン状態、CMOSトランスミッションゲート5cがオフ状態となる。

【0085】このテストモードに応じて、パッド1を選択的に駆動回路2の出力ノード4aまたは基準電圧発生回路RFGの出力ノード4bに電氣的に接続することにより、パッド1に付随する寄生容量を最小として、基準電圧Vrefに対するテストを行なうことができる。

【0086】このフォーステストモードおよびモニタテストモード以外の場合においては、CMOSトランスミッションゲート5cおよび5bはともにオフ状態にあり、パッド1は、駆動回路2の出力ノード4aおよび基準電圧発生回路RFGの出力ノード4bから電氣的に切離される。これにより、パッド1上のノイズが、基準電圧発生回路RFGが発生する基準電圧Vrefに対する影響を防止することができる。

【0087】なお、このフォーステストイネーブル信号FTEおよびモニタテストイネーブル信号MTEは、先の図5(A)に示す構成において、アドレスキーの変更により、それぞれ別々に設定することができる。

【0088】[実施の形態6]図11は、この発明の実施の形態6に従う半導体記憶装置の要部の構成を示す図である。この図11に示す構成においては、駆動回路2の出力ノード4aとパッド1の間に溶断可能なリンク素子6aが設けられ、また基準電圧発生回路RFGの出力ノード4bとパッド1の間に溶断可能なリンク素子6bが設けられる。この図11に示す構成は、図9および図10に示す構成におけるCMOSトランスミッションゲート5a、5bおよび5cを溶断可能なリンク素子で置換えたものと等価である。

【0089】基準電圧発生回路RFGの発生する基準電圧Vrefに対するテストは、ウエハレベルで行なわれ

10

20

30

40

50

る。このウェハレベルで、モニタテストおよびフォーステストが行なわれる。この場合に、駆動回路2の出力ノード4aは、リンク素子6aおよび6bを介して基準電圧発生回路RFGの出力ノード4b、すなわち駆動回路2の入力ノードに電氣的に接続される。しかしながら、駆動回路2は、基準電圧発生回路RFGの発生する基準電圧Vrefと同じ電圧レベルの電圧を生成している。したがって、この駆動回路2の出力電圧をパッド1を介して外部でモニタするモードにおいて、駆動回路2の出力電圧Vrfと基準電圧発生回路RFGが発生する基準電圧Vrefは同じ電圧レベルであり、駆動回路2からリンク素子6aおよび6bを介して基準電圧発生回路RFGへ電流が流入することはない。基準電圧発生回路RFGが発生する基準電圧Vrefの電圧レベルの変動は生じない。またこのモニタテストモード時において、パッド1にノイズが生じた場合、駆動回路2の供給電流により、そのノイズが吸収され、パッド1のノイズが基準電圧発生回路RFGが発生する基準電圧Vrefへ悪影響を及ぼすのは防止される。

【0090】フォースモニタモードにおいては、パッド1を介して基準電圧発生回路RFGの出力ノード4bの電圧レベルを所定電圧レベルに設定する。このときには、駆動回路2は、非活性状態に駆動されていてもよいが、駆動回路が動作状態にあっても、この駆動回路2の出力電圧Vrfは、パッド1を介して外部から与えられる電圧レベルに応じて変化するため、何ら問題は生じず、正確に基準電圧発生回路RFGの出力する基準電圧Vrefを所定の電圧レベルに設定することができる。また、フォーステストモードにおいては、外部のテストの電流駆動力は、駆動回路2の出力電流駆動力よりも十分大きく、駆動回路2の出力電圧のレベルにかかわらず、正確に基準電圧発生回路RFGの出力する基準電圧Vrefを所望の電圧レベルに設定することができる。

【0091】このモニタテストモードおよびフォーステストモード両者を行なった後に、リンク素子6aおよび6bを溶断し、パッド1と基準電圧発生回路RFGおよび駆動回路2を電氣的に切離す。これにより、通常動作モード時におけるパッド1からのノイズの基準電圧発生回路RFGに対する影響を防止することができる。

【0092】リンク素子6aおよび6bの占有面積は、十分小さく、回路占有面積を低減することができる。また、単にリンク素子6aおよび6bを用いているだけであり、それらの導通/非導通のための制御信号を発生する必要がなく、テストを行なうための回路構成を簡略化することができる。

【0093】なお、これらのリンク素子6aおよび6bの溶断は、半導体記憶装置において、不良メモリセル救済などにおいて冗長メモリセルとの置換を行なう工程において不良セルのアドレスのプログラムを行なう場合にヒューズ素子(リンク素子)の溶断が行なわれる。この

溶断工程と同じ工程でこれらのリンク素子6aおよび6bの溶断を行なうことにより、追加の工程を伴うことなく、これらのリンク素子6aおよび6bの溶断を行なうことができる。

【0094】以上のように、この発明の実施の形態6に従えば、駆動回路の出力とパッドの間および基準電圧発生回路の出力ノードとパッドの間に溶断可能なリンク素子を配置しているため、回路占有面積を増加させることなく正確に基準電圧に対するテストを行なうことが可能となる。

【0095】[実施の形態7]図12は、この発明の実施の形態7に従う半導体記憶装置の要部の構成を示す図である。この図12に示す構成においては、複数(図12においては、3種類)の基準電圧Vref1、Vref2およびVref3に対するテストが1つのパッド10を介して行なわれる。

【0096】図12において、選択信号SL1および/SL1の活性化時導通し、基準電圧伝達線12a上に伝達された基準電圧Vref1をノード16に伝達するCMOSトランスマッションゲート14aと、選択信号SL2および/SL2の活性化時導通し、基準電圧伝達線12b上の基準電圧Vref2をノード16に伝達するCMOSトランスマッションゲート14bと、選択信号SL3および/SL3の活性化時導通し、基準電圧伝達線12c上に伝達された基準電圧Vref3をノード16に伝達するCMOSトランスマッションゲート14cが設けられる。これらのCMOSトランスマッションゲート14a、14bおよび14cは、テストモード時(モニタテストモード時)この選択信号SL1、SL2およびSL3に従って択一的に導通状態とされる。

【0097】ノード16とパッド10の間にこのノード16上に伝達された基準電圧と実質的に同じ電圧レベルの電圧を生成してパッド10へ伝達する駆動回路20が設けられる。この駆動回路20の構成は、先の図1、図3、および図6に示す構成のいずれであってもよい。

【0098】この図12に示す構成において、複数の基準電圧Vref1、Vref2およびVref3それぞれは別々の基準電圧発生回路から発生される。これは、たとえば、ロウデコーダなどの周辺回路へ与えられる内部電源電圧を生成するための基準電圧、センスアンプ回路を介してメモリセルアレイのビット線を充放電するための内部電源電圧を生成するために用いられる基準電圧、および内部で、ワード線駆動電圧Vppおよび基板バイアス電圧Vbbを生成する回路の一方動作電源電圧として用いる内部電源電圧を生成するために用いられる基準電圧などを含む。これら複数の基準電圧Vref1~Vref3をモニタテストモード時選択信号SL1~SL3に従って選択的にノード16へ伝達する。駆動回路20がこのノード16に与えられた基準電圧レベルと実質的に等しいレベルの電圧を生成してパッド10へ伝

達する。したがって複数の基準電圧を1つのパッドでモニタすることができ、パッドの数を低減することができる。チップ占有面積を低減することができる。

【0099】図13(A)は、選択信号発生部の構成を示す図である。図13(A)において、選択信号発生回路22は、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEおよびアドレス信号ビットA0およびA1が所定の状態に設定されたとき、選択信号SL1、/SL1、SL2、/SL2、およびSL3、/SL3の組を活性状態へ駆動する。この選択信号発生回路22は、信号/RAS、/CASおよび/WEがWCBR条件を満たしているとき、アドレス信号ビットA0およびA1の組合せに従って選択信号の組を活性状態へ駆動する。

【0100】図13(B)は、この選択信号発生回路22に含まれる選択信号SL1および/S L 1を発生するための回路の構成の一例を示す図である。図13(B)において、この単位選択信号発生回路は、WCBR条件が満たされたときに活性状態とされるWCBR検出信号WCBRとアドレス信号ビットA0およびA1を受けるNAND回路22aと、NAND回路22aの出力信号を受けるインバータ回路22bを含む。NAND回路22aから選択信号/S L 1が出力され、インバータ回路22bから選択信号SL1が出力される。

【0101】WCBR検出信号WCBRがHレベルであり、かつアドレス信号ビットA0およびA1がともにHレベルのときに、選択信号SL1および/S L 1が活性状態へ駆動される。この図13(B)において、モニタテストモードが指定されたときに、図示しないラッチ回路部において選択信号SL1および/S L 1がラッチされる。他の選択信号SL2、/S L 2およびSL3、/S L 3の組それぞれについても、アドレス信号ビットA0およびA1のハイレベルおよびローレベルの組合せに従ってそれぞれ活性状態へ駆動される。

【0102】この図13(A)および(B)に示すような選択信号発生回路を利用することにより、容易にモニタテストモード時、モニタすべき基準電圧に対して選択信号を生成することができる。

【0103】[変更例]図14は、この発明の実施の形態7の変更例の構成を示す図である。図14においては、複数の内部電圧発生回路24a、24bおよび24cが発生する内部電圧Vin1、Vin2およびVin3が、1つのパッド10を介して外部でモニタされる。

【0104】図14において、選択信号SEL1および/SEL1の活性化時導通し、内部電圧発生回路24aが発生する内部電圧Vin1をノード28へ伝達するCMOSTランスミッションゲート26aと、選択信号SEL2および/SEL2の活性化時導通し、内部電圧発生回路24bの生成する内部電圧Vin2をノード28へ伝達するCMOSTランスミッションゲート26b

と、選択信号SEL3および/SEL3の活性化時導通し、内部電圧発生回路24cの発生する内部電圧Vin3をノード28へ伝達するCMOSTランスミッションゲート26cが設けられる。このノード28上に伝達された内部電圧は、駆動回路20により、インピーダンス変換が行なわれかつその出力電流駆動量が変更されてパッド10へ伝達される。このパッド10には、内部ノード28に伝達された電圧と同じ電圧レベルの電圧が伝達される。

【0105】内部電圧発生回路24a~24cとしては、半導体記憶装置において、通常用いられる、選択ワード線に伝達される昇圧電圧Vppを発生する回路、ビット線をスタンバイサイクル時プリチャージするために用いられるビット線プリチャージ電圧VBLを発生するためのビット線プリチャージ電圧発生回路、基板領域へ印加される基板バイアス電圧VBBを発生する基板バイアス電圧発生回路、メモリセルキャパシタ(ダイナミック・ランダム・アクセス・メモリの場合)の一方電極(セルプレート)へ印加されるセルプレート電圧をVCPを発生するセルプレート電圧発生回路、および内部電源電圧intVccを発生する内部電源電圧発生回路などがある。これらの内部電圧を外部でモニタすることにより、半導体記憶装置が正確に動作して所望の電圧レベルの電圧を生成しているかをモニタすることができる。

【0106】この場合においても、複数の内部電圧発生回路24a~24cに対し共通に1つのパッド10が設けられているだけであり、パッド数を増加させることなく必要な内部電圧レベルを外部でモニタすることができる。

【0107】以上のように、この発明の実施の形態7に従えば、複数の内部電圧発生回路に対し共通に1つのパッドを設け、選択的にテストモード時これらの内部電圧発生回路の出力電圧をパッドへ伝達するように構成しているため、パッド数を増加させることなく必要な内部電圧を外部で容易にモニタすることができる。

【0108】[実施の形態8]図15は、この発明の実施の形態8に従う半導体記憶装置の要部の構成を示す図である。この図15においては、複数の基準電圧(図15においては3種類の基準電圧)Vref1、Vref2、およびVref3は、1つのパッド10を介して外部からその電圧レベルを変更することができる。すなわち、この図15に示す構成においては、選択信号SL1および/S L 1の活性化時導通し、信号線30aとノード34とを電気的に接続するCMOSTランスミッションゲート32aと、選択信号SL2および/S L 2の活性化時導通し、内部ノード34と信号線30bを電気的に接続するCMOSTランスミッションゲート32bと、選択信号SL3および/S L 3の活性化時導通し、内部ノード34と信号線30cを電気的に接続するCMOSTランスミッションゲート32cが設けられる。

【0109】ノード34はパッド10に接続される。信号線30a、30b、および30cの各々は、基準電圧Vref1、Vref2、およびVref3をそれぞれ発生する基準電圧発生回路の出力部に接続される。選択信号SL1～SL3および／SL1～／SL3は、フォーステストモード時、選択的に活性状態へ駆動される。したがって、フォーステストモード時、選択信号SL1、／SL1、SL2、／SL2およびSL3、／SL3の組を選択的に活性状態とすることにより、1つのパッド10を用いて複数の基準電圧Vref1～Vref3の電圧レベルを所望の電圧レベルに強制的に設定することができる。これにより、パッド数を増加させることなく複数の基準電圧のフォーステストモードを容易に行なうことができる。なお、選択信号SL1～SL3は、図13(A)に示す選択信号発生回路と同様の構成を用いて発生することができる。

【0110】[変更例]図16は、この発明の実施の形態8の変更例の構成を示す図である。図16においては、複数の内部電圧(図16においては3つの内部電圧)Vin1、Vin2およびVin3を、パッド10を介して外部から強制的に所望の電圧レベルに設定する。すなわち、1つのパッド10を介して複数の内部電圧のフォーステストを行なうことができる。

【0111】図16において、このフォーステストを行なうために、選択信号SEL1および／SEL1の活性化時導通し、信号線40aをノード44に電氣的に接続するCMOSトランスミッションゲート42aと、選択信号SEL2および／SEL2の活性化時導通し、内部信号線40bをノード44に電氣的に接続するCMOSトランスミッションゲート42bと、選択信号SEL3および／SEL3の活性化時導通し、信号線40cをノード44に電氣的に接続するCMOSトランスミッションゲート42cが設けられる。ノード44がパッド10に接続される。

【0112】信号線40a、40bおよび40cは、それぞれ内部電圧Vin1、Vin2およびVin3を発生する内部電圧発生回路の出力部に電氣的に接続される。選択信号SEL1、／SEL1、SEL2、／SEL2、SEL3、／SEL3の組は、フォーステストモード時選択的に活性状態へ駆動される。したがって、これらの選択信号SEL1～SEL3および／SEL1～／SEL3に従って、1つの信号線をパッド10に電氣的に接続することができ、1つのパッドを用いて複数の内部電圧に対するフォーステストを行なうことができる。

【0113】以上のように、この発明の実施の形態8に従えば、複数の内部電圧伝達線に対し共通に1つのパッドを設け、これらのパッドと複数の内部電圧伝達線とを、フォーステストモード時選択的にかつ択一的に電氣的に接続するように構成したため、1つのパッドを用い

て複数の内部電圧に対するフォーステストを行なうことができ、パッド占有面積を低減することが可能となる。

【0114】[実施の形態9]図17は、この発明の実施の形態9に従う半導体記憶装置の要部の構成を示す図である。この図17に示す構成においては、複数の基準電圧(図17においては3種類)Vref1、Vref2およびVref3に対し、モニタテストモードおよびフォーステストモードいずれも行なうことができる。

【0115】この図17において、フォーステストモードを実現するために、選択信号SL1および／SL1の活性化時導通し、基準電圧伝達線50aをノードノード53に電氣的に接続するCMOSトランスミッションゲート52aと、選択信号SL2および／SL2の活性化時導通し、基準電圧伝達線50bとノード53とを電氣的に接続するCMOSトランスミッションゲート52bと、選択信号SL3および／SL3の活性化時導通し、基準電圧伝達線50cとノード53とを電氣的に接続するCMOSトランスミッションゲート52cが設けられる。基準電圧伝達線50a、50bおよび50cは、それぞれ基準電圧Vref1、Vref2、およびVref3を発生する基準電圧発生回路の出力に電氣的に接続される。

【0116】一方、モニタテストモードを行なうために、選択信号SL1および／SL1の活性化時導通し、基準電圧伝達線50aをノード55に電氣的に接続するCMOSトランスミッションゲート54aと、選択信号SL2および／SL2の活性化時導通し、基準電圧伝達線50bとノード55とを電氣的に接続するCMOSトランスミッションゲート54bと、選択信号SL3および／SL3の活性化時導通し、基準電圧伝達線50cとノード55とを電氣的に接続するCMOSトランスミッションゲート54cが設けられる。ノード55は、駆動回路20の入力部に接続される。

【0117】さらに、ノード53とパッド10の間に、フォーステストイネーブル信号FTEおよび／FTEの活性化時導通し、ノード53とパッド10とを電氣的に接続するCMOSトランスミッションゲート56が設けられる。駆動回路20の出力部とパッド10の間に、フォーステストイネーブル信号FTEおよび／FTEの非活性化時導通し、駆動回路20の出力部をパッド10に電氣的に接続するCMOSトランスミッションゲート58が設けられる。

【0118】この図17に示す構成は実質的に先の実施の形態7および8の組合せである。フォーステストモードにおいては、CMOSトランスミッションゲート56が導通し、基準電圧伝達線50a～50cのいずれかが、パッド10に電氣的に接続される。選択信号SL(SL1～SL3)および／SL(／SL1～／SL3)がフォーステストモードおよびモニタテストモード共通に用いられている。しかしながら、同じ基準電圧伝

達線が、パッド10および駆動回路20の入力ノード55に電氣的に接続されるだけであり、駆動回路20の出力電圧の影響を受けることなく、選択された基準電圧レベルを外部から強制的に所望の電圧レベルに設定することができる。

【0119】モニタテストモード時においては、CMOSトランسمッションゲート56がオフ状態、CMOSトランسمッションゲート58がオン状態となり、駆動回路20の出力部がパッド10に電氣的に接続される。したがって、この場合においては、基準電圧伝達線50a~50cの基準電圧 V_{ref1} ~ V_{ref3} のいずれかが選択信号に従って選択されて、駆動回路20およびCMOSトランسمッションゲート58を介してパッド10に伝達されて外部でモニタが行なわれる。この場合においても、CMOSトランسمッションゲート52a~52cのいずれかがオン状態となるものの、このフォーステストを行なうための経路の負荷(寄生容量)が十分小さく、何らかのフォーステストを行なう経路の影響を受けることなくモニタテストを正確に行なうことができる。

【0120】また、図17に示す構成において、CMOSトランسمッションゲート52a~52cへ与えられる選択信号をフォーステストモード時においてのみ選択的に活性状態とし、一方CMOSトランسمッションゲート54a~54cが、モニタテストモード時においてのみ選択的に活性状態へ駆動される構成が用いられてもよい。単に選択信号SLおよび/SLとフォーステストイネーブル信号FTEの論理積をとることにより、容易に実現することができる。

【0121】[変更例]図18は、この発明の実施の形態9の変更例の構成を示す図である。この図18に示す構成は、信号線60a、60bおよび60c上に伝達される内部電圧 V_{in1} 、 V_{in2} および V_{in3} に対しモニタテストモードおよびフォーステストモードいずれをも行なうことができる。この図18においては、モニタテストモードを行なう経路およびフォーステストモードを行なう経路それぞれにおいて単に図17に示す構成とは与えられる選択信号の符号が異なるだけであり、したがって、CMOSトランسمッションゲートに対しては、同じ参照番号を付しその詳細説明は省略する。

【0122】選択信号SEL1、/SEL1、SEL2、/SEL2およびSEL3、/SEL3を選択的に活性状態とすることにより、内部電圧 V_{in1} 、 V_{in2} および V_{in3} のうちの選択信号が指定する内部電圧に対するモニタテストモードまたはフォーステストモードを行なうことができる。

【0123】ここで、図18に示す構成において、信号線60a、60bおよび60cは、それぞれ内部電圧 V_{in1} 、 V_{in2} および V_{in3} を発生する内部電圧発生回路の出力部に電氣的に接続される。

【0124】以上のように、この発明の実施の形態9に従えば、複数の内部電圧伝達線に対し選択信号に従ってこれらの内部電圧伝達線をパッドに電氣的に接続するかまたは駆動回路を介して電氣的にパッドに接続するように構成しているため、これらの内部電圧に対するモニタテストおよびフォーステストいずれをも行なうことが可能となり、所望の内部電圧を、パッド数を増加させることなく外部から観測可能とすることができる。

【0125】[その他の適用例]上述の説明においては、半導体集積回路装置の一例として半導体記憶装置、特に、ダイナミック型半導体記憶装置が一例として示されている。しかしながら、本発明は、複数の内部電圧を外部で観測するテストモードを有する半導体集積回路装置であれば適用可能である。

【0126】また、基準電圧発生回路の構成は、図20に示す構成に限定されず、定電流源と、この定電流源からの定電流を電圧に変換する変換素子とが設けられた定電圧発生回路であればよい。

【0127】

20 【発明の効果】以上のように、この発明に従えば、電流供給能力の小さな内部電圧発生回路の出力を、インピーダンス変換機能を備える比較的大きな電流供給能力を有する駆動回路を介してパッドに電氣的に接続するように構成しているため、この電流供給能力の小さな内部電圧発生回路の出力電圧レベルを正確に外部からモニタすることが可能となる。

【0128】また、複数の内部電圧に対して、共通のパッドを設け、これらの複数の内部電圧伝達線を共通のパッドに選択的に電氣的に接続するように構成しているため、複数の内部電圧を、1つのパッドを用いてテストすることができ、チップ占有面積を低減することができる。すなわち、請求項1に係る発明に従えば、内部電源電圧を発生するために用いられる基準電圧を発生する基準電圧発生手段とパッドとの間に、この基準電圧発生手段からの基準電圧を受けてこの基準電圧と実質的に同じ電圧レベルの電圧を発生してパッドへ伝達する駆動手段を設けているため、この基準電圧発生手段の発生する基準電圧レベルに悪影響を及ぼすことなく正確にパッドへ、基準電圧レベルの電圧を伝達することができ、外部で正確に基準電圧レベルをモニタすることが可能となる。

【0129】請求項2に係る発明に従えば、この駆動手段をテストモード指示信号の活性化時活性化するように構成しているため、テストモード時のみこの駆動手段を動作させ、消費電流を低減することができる。

【0130】請求項3に係る発明に従えば、この駆動手段を間欠的に活性化するように構成しているため、常時駆動手段を活性状態に置く場合に比べて、消費電流を低減することができる。

50 【0131】請求項4に係る発明に従えば、この駆動手

段をボルテージフォロア構成の差動増幅回路で構成しているため、高入力インピーダンス低出力インピーダンスの回路を用いて基準電圧発生回路からの基準電圧をパッドへ伝達することができ、基準電圧発生回路の出力する基準電圧レベルに何ら影響を及ぼすことなくパッドに基準電圧レベルの電圧を正確に伝達することができる。

【0132】請求項5に係る発明に従えば、この基準電圧発生手段が複数個設けられており、これら複数の基準電圧発生手段の出力各々と駆動手段の入力との間に選択信号に従って対応の基準電圧発生手段の出力を駆動手段

の入力へ電気的に接続するように構成しているため、1つのパッドを用いて複数の基準電圧に対するモニタのテストを行なうことができ、パッドのチップ上占有面積を低減することができる。

【0133】請求項6に係る発明に従えば、この駆動手段は、通常動作時基準電圧発生手段からの基準電圧に従って生成した電圧を内部電源電圧発生手段へ与えており、テストモード指示信号の活性化時、その電流駆動力が大きくされており、テストモード時のみその消費電流が大きくされ、確実に基準電圧をパッドへ伝達すること

ができ、またテストモード時以外の消費電流を低減することができる。

【0134】請求項7に係る発明に従えば、パッドと基準電圧発生手段の出力の間にテストモード時導通状態とされかつ通常モード時非導通状態とされる接続手段を設けているため、このテストモード時パッドを介して基準電圧発生手段の出力の電圧レベルを所望の電圧レベルに設定することができ、フォーステストモードを基準電圧に対して容易に行なうことができる。

【0135】請求項8に係る発明に従えば、複数の基準電圧発生手段の出力を第2の選択信号に従って選択的にパッドに電気的に接続するように構成しているため、複数の基準電圧に対するフォーステストを1つのパッドを用いて行なうことができ、パッド占有面積の増加を抑制することができる。

【0136】請求項9に係る発明に従えば、駆動手段の出力とパッドとの間にテスト動作時導通状態とされかつ通常モード時非導通状態とされる接続手段を設けているため、通常動作モード時、この駆動手段の出力とパッドとを切離すことができ、パッド上に発生したノイズが駆動手段の出力に悪影響を及ぼすのを防止することができ、またそのパッドを介してのフォーステストモード時駆動手段の出力に影響を受けることなくフォーステストを行なうことができる。

【0137】請求項10に係る発明に従えば、この駆動手段とパッドの間にヒューズ素子を設けているため、接続手段の占有面積を増加させることなくモニタテストモードおよびフォーステストモードを行なうための接続手段を実現することができる。また、テスト完了後このヒューズ素子を溶断することにより、パッド上のノイズが

基準電圧発生手段の出力に悪影響を及ぼすのを防止することができる。

【0138】請求項11に係る発明に従えば、各々に複数の内部電圧が伝達される複数の電圧伝達線と共通パッドとを選択信号に従って電気的に接続するように構成しているため、1つのパッドを用いて複数の内部電圧に対するフォーステストなどのテストを行なうことができ、パッド占有面積を増加させることなく正確に必要なテストを行なうことができる。

【0139】請求項12に係る発明に従えば、各々に所定の内部電圧が伝達される複数の電圧伝達線を選択的に駆動手段へ電気的に接続し、この駆動手段によりパッドを駆動するように構成しているため、1つのパッドを用いて複数の内部電圧のモニタテストなどのテストを行なうことができ、パッド占有面積を増加させることなく複数の内部電圧のテストを正確に行なうことが可能となる。

【0140】請求項13に係る発明に従えば、この選択信号はテストモード時のみ活性状態とされるため、通常動作モード時、内部電圧発生手段の発生する内部電圧に対しこれらのパッドおよび駆動手段が悪影響を及ぼすのを防止することができ、通常動作モード時におけるこの半導体集積回路装置の内部動作の信頼性を保証することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路装置の要部の構成を示す図である。

【図2】 図1に示す比較回路の構成の一例を示す図である。

【図3】 この発明の実施の形態2に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図4】 図3に示す比較回路の構成の一例を示す図である。

【図5】 (A)は、テストモード指示信号発生部の構成を概略的に示し、(B)は、(A)に示すテストモード設定回路の動作を示す信号波形図である。

【図6】 この発明の実施の形態3に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図7】 この発明の実施の形態4に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図8】 この発明の実施の形態4の変更例の構成を概略的に示す図である。

【図9】 この発明の実施の形態5に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図10】 この発明の実施の形態5の変更例の構成を概略的に示す図である。

【図11】 この発明の実施の形態6に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図12】 この発明の実施の形態7に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図13】 (A)は、図12に示す選択信号発生部の構成を概略的に示し、(B)は、(A)に示す選択信号発生回路の内部構成の一例を示す図である。

【図14】 この発明の実施の形態7の変更例の構成を概略的に示す図である。

【図15】 この発明の実施の形態8に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図16】 この発明の実施の形態8の変更例の構成を概略的に示す図である。

【図17】 この発明の実施の形態9に従う半導体集積回路装置の要部の構成を概略的に示す図である。

【図18】 この発明の実施の形態9の変更例の構成を概略的に示す図である。

【図19】 従来の内部電源電圧発生回路の構成を概略的に示す図である。

【図20】 図19に示す基準電圧発生回路の構成の一例を示す図である。

【図21】 従来の半導体集積回路装置のモニタテスト配置を概略的に示す図である。

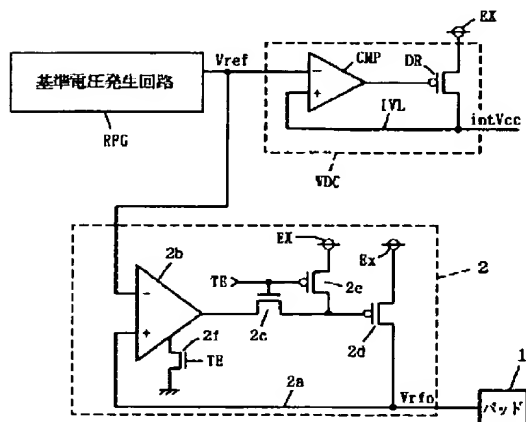
【図22】 従来の半導体集積回路装置の要部の構成を*20

* 概略的に示す図である。

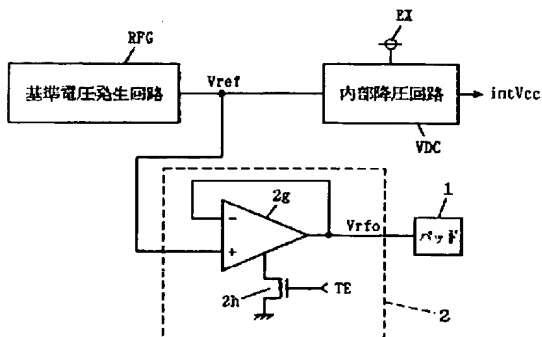
【符号の説明】

1 パッド、2 駆動回路、RFG 基準電圧発生回路、VDC 内部降圧回路、2g 比較回路(差動増幅回路)、2h 電流源トランジスタ、2i 差動増幅回路、2j 電流源トランジスタ、4 発振器、2m 差動増幅回路、2n、2o 電流源トランジスタ、5a、5b、5c CMOSトランスミッションゲート、6a、6b リンク素子、10 パッド、14a、14b、14c CMOSトランスミッションゲート、20 駆動回路、24a、24b、24c 内部電圧発生回路、26a、26b、26c CMOSトランスミッションゲート、32a、32b、32c、42a、42b、42c、52a、52b、52c、54a、54b、54c CMOSトランスミッションゲート、56、58 CMOSトランスミッションゲート、40a、40b、40c 内部電圧伝達線、50a、50b、50c 基準電圧伝達線、60a、60b、60c 内部電圧伝達線。

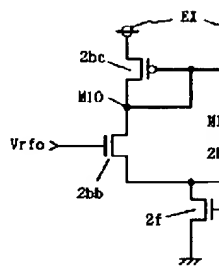
【図1】



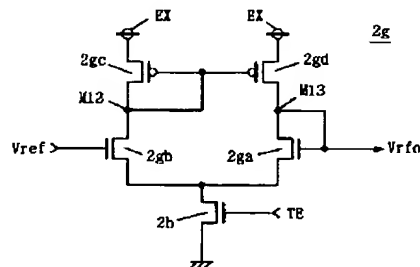
【図3】



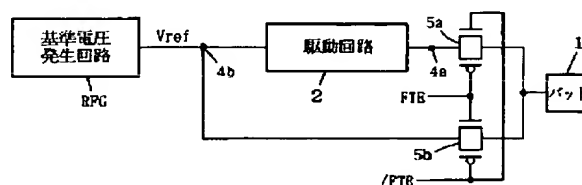
【図2】



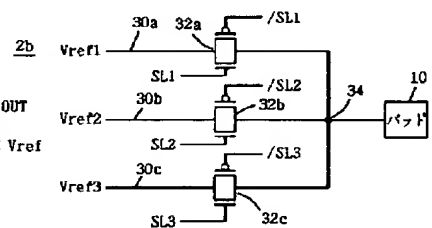
【図4】



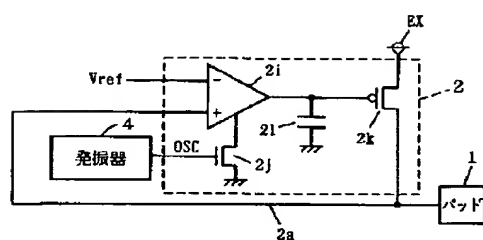
【図9】



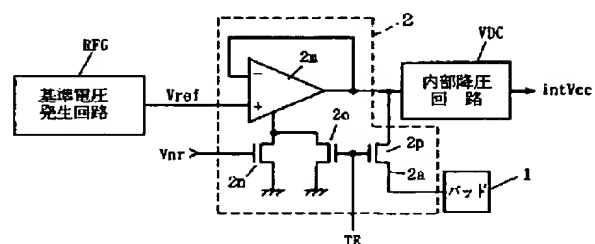
【図15】



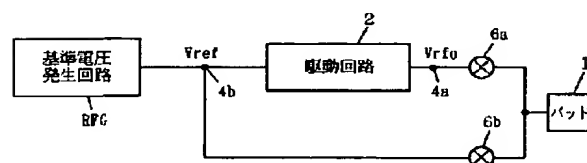
【图6】



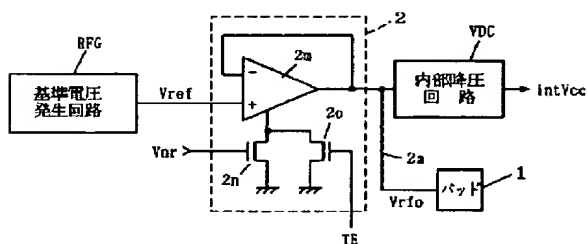
【圖8】



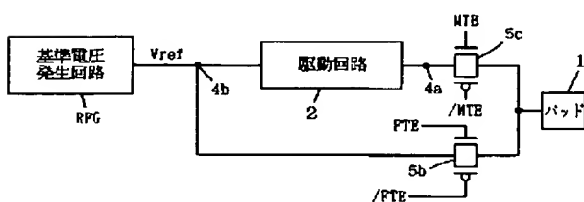
【圖 11】



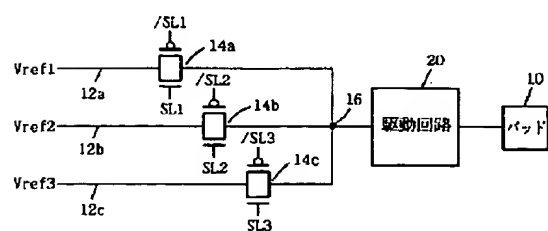
【图7】



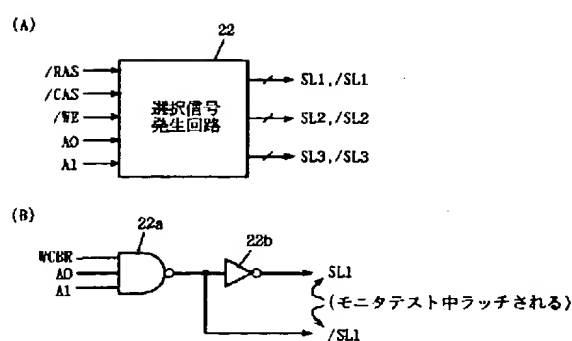
【図 10】



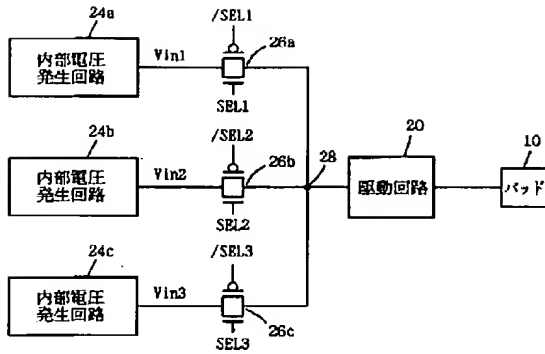
【图 12】



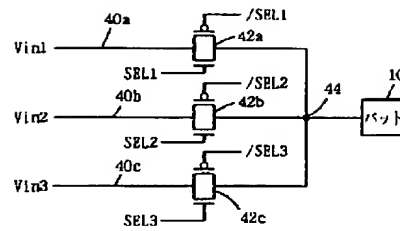
【图 13】



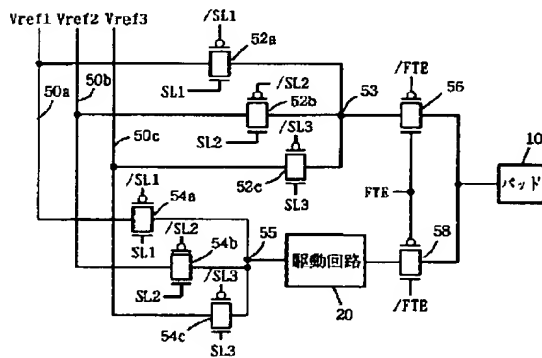
【図 14】



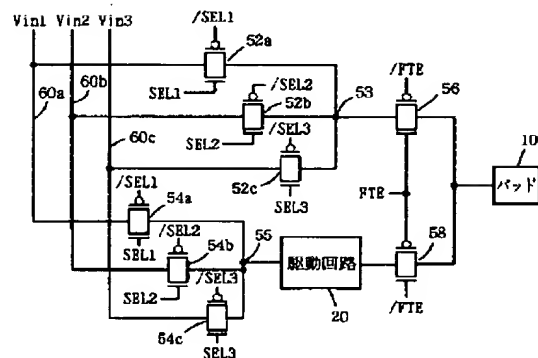
【図 16】



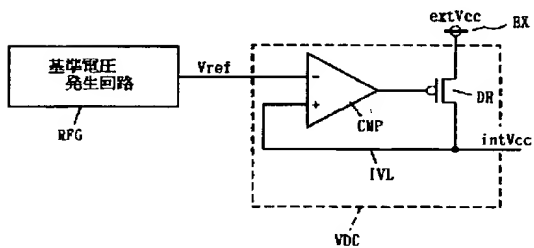
【図 17】



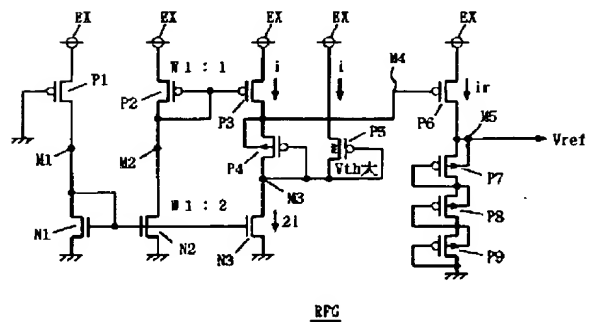
【図 18】



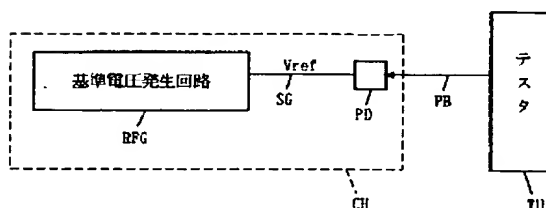
【図 19】



【図 20】



【図 21】



【図 2 2】

